

【特許請求の範囲】

【請求項 1】 光ディスクからの読出信号から第 1 の同期信号を同期信号検出回路で検出しかつ前記読出信号を受けて復調回路で 1 フレーム分のデータを復調し、復調された 1 フレーム分のデータを前記第 1 の同期信号に同期させてメモリに順次記憶し、前記第 1 の同期信号が検出されないときには内部生成した第 2 の同期信号に同期させて前記復調された 1 フレーム分のデータを前記メモリに記憶し、前記読出信号から前記第 1 の同期信号が検出されたときにこの第 1 の同期信号に同期させて前記 1 フレーム分のデータを前記メモリに記憶する光ディスク再生装置において、

前記第 2 の同期信号に同期させて前記復調された 1 フレーム分のデータを前記メモリに記憶する動作状態において前記読出信号から前記第 1 の同期信号が検出されたときにこの第 1 の同期信号が前記第 2 の同期信号の周期における前半側あるいは後半側にあるか否かを判定する判定回路を有し、この判定回路の判定結果に応じて前記前半側にあると判定されたときに前記メモリにおける 1 つ前のフレームデータの記憶位置に前記復調された 1 フレーム分のデータを記憶することを特徴とする光ディスク再生装置。

【請求項 2】 前記光ディスクは CD であり、さらに、前記第 1 の同期信号を受けて前記第 1 の同期信号と自己の出力との論理和でリセットされ前記自己の出力を前記第 2 の同期信号として発生する 588 進カウンタと前記第 1 の同期信号があるときに前記第 1 の同期信号を選択し、そうでないときに前記第 2 の同期信号を選択していずれか一方を出力する同期信号選択回路とを有し、前記判定回路は、前記同期信号選択回路が第 2 の同期信号を選択しているときに動作して前記第 1 の同期信号と前記 588 進カウンタから前記前半側に対応するパルス幅のパルスとを受けて前記判定を行う請求項 1 記載の光ディスク再生装置。

【請求項 3】 さらに、ECC エラー訂正回路を有し、前記判定回路の判定結果に応じて前記前半側にあるとの判定ではないときに前記メモリと前記 ECC エラー訂正回路とを前記読出信号のデータに同期する読出系のクロックに応じて動作させて前記メモリに前記 1 フレーム分のデータを順次記憶し、前記 ECC エラー訂正回路が前記メモリのデータのエラー訂正を行う請求項 2 記載の光ディスク再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、光ディスク再生装置に関し、詳しくは、CD（コンパクトディスク）の再生装置において、CD の傷などにより同期信号が欠落した場合の内部同期信号による同期状態からその後に CD から読出された外部同期信号に再同期を採るときに発生する、記憶されるフレームデータの不連続性を抑制す

ることができるような光ディスク再生装置に関する。

【0002】

【従来の技術】 光ディスク再生装置の 1 つである CD 再生装置にあっては、CD の傷などにより同期信号が検出できない場合がある。通常、CD 再生装置内には、同期保護回路が内蔵されていて、内部で同期信号を発生し、外部同期信号が検出できないときにはこの内部で生成された同期信号で補完することが行われている。図 4 は、その CD 再生装置の一例である。図 4 において、20 は、CD 再生装置であって、CD 1 が装着され、これを回転する回転駆動機構 2 と、ピックアップ（4 分割フォトディテクタ）3、このピックアップ 3 からの受光信号を増幅して RF 検出信号（トータル受光量検出信号）を読出信号として発生する RF 増幅器 4、RF 増幅器 4 から読出信号を受ける EFM 復調回路 5、そして RF 増幅器 4 から読出信号を受ける同期信号検出回路 6、さらに内挿補完同期信号生成回路 7 と、同期信号選択回路 8、アドレス生成書込回路 9、SRAM 10、ECC エラー訂正回路 11、データ読出出力回路 12、読出系のクロック発生回路 13、そして再生系のクロック発生回路等から構成されている。

【0003】 ここで、EFM 復調回路 5 は、読出信号

（RF 検出信号）を受けて EFM データを復調する。同期検出回路 6 は、読出信号を受けてこの信号から同期信号を抜き取ることで外部同期信号を検出して同期信号 D SYNC として出力する。内挿補完同期信号生成回路 7 は、内部に 588 進カウンタを有していて、クロック発生回路 13 からのクロック CLK をカウントし、同期信号 D SYNC を受けてカウント値がリセットされることで同期信号 D SYNC に同期した内部の同期信号 I SYNC を発生する。同期信号選択回路 8 は、同期信号 D SYNC と同期信号 I SYNC とを受けていずれかを選択するものであり、同期検出回路 6 から同期信号 D SYNC を受けているときには同期信号 D SYNC を同期信号 R SYNC として出力し、同期信号 D SYNC がないときには同期信号 I SYNC を同期信号 R SYNC として出力する。これにより同期信号 D SYNC が欠落したときには同期信号選択回路 8 により同期信号が補完される。クロック発生回路 13 は、RF 増幅器 4 から読出信号を受けて PLL 制御によりクロック CLK（588 クロック）を発生して SRAM 10 と、ECC エラー訂正回路 11、データ読出出力回路 12 等の再生系回路以外の図 1 に図示する各回路にクロック CLK を送出する。SRAM 10 と、ECC エラー訂正回路 11、データ読出出力回路 12 等は、再生系クロックを発生するクロック発生回路 14 からのクロック CK（576 クロック）を受けて動作する。

【0004】 アドレス生成書込回路 9 は、同期信号 R SYNC を受けて SRAM 10 のアドレスを更新し、EFM 復調回路 5 で復調された 1 フレーム分（588 チャネル分）の EFM データを更新した SRAM 10 のアドレス

から書込み、それを記憶する。ECCエラー訂正回路11は、SRAM10から、現在の記録データ位置を基準として所定量の記憶されたデータを読み出して新しく記憶された1フレームのデータについてECCエラー訂正をしてSRAM10に戻す。データ読出力回路12は、ECCエラー訂正されたデータを読み出して、デジタルアナログ変換をして再生するアナログ再生回路側へと出力する。なお、RF増幅器3は、内部にRF検出信号(トータル受光量検出信号)と位置エラー検出信号FEとを生成するフォーカス位置エラー生成回路を有していて、RF検出信号と位置エラー検出信号FEとがフォーカシングサーボを行うフォーカスサーボ機構に与えられるが、これについては図では省略してある。

【0005】

【発明が解決しようとする課題】図5は、同期信号選択回路8の同期信号の発生とSRAM10の1フレームのデータ記憶タイミングの説明図である。図5(a)に示す同期信号DSYNCがあるときには、同期信号選択回路8は、図5(c)に示すように同期信号DSYNCに対応して同期信号RSYNCを発生し、同期信号DSYNCがないときには、図5(b)に示す同期信号ISYNCに対応して同期信号RSYNCを発生する。

【0006】これによりCD再生装置は、同期信号ISYNCの同期信号で補完同期がなされているが、同期信号ISYNCは、内部クロックCLKをカウントして発生することから、例えば、図5(c)～(e)に示すように、SRAM10への5フレーム目の書込処理が完了した後に再同期信号として同期信号DSYNCが発生すると、次のフレームをフレーム6としてEFMデータをSRAM10に記憶することになる。これは、同期信号ISYNCの発生タイミングが再同期の同期信号DSYNCに対して位相が進み、前にずれたことにより起こる。このようなときには、図5(e)に示すように、5フレーム目のEFMデータは、5フレーム目に一部が記憶され、あるいは4フレーム目の一部のデータが5フレーム目に記憶され、本来の5フレーム目としてSRAM10に記憶されるデータが6フレーム目の位置になってしまう。その結果、4フレーム目から6フレーム目のEFMデータは不連続にメモリに記憶されることになり、問題である。なお、図5(d)は、各フレームにおけるクロックCLKのカウント値であり、通常、読出系の1フレーム分は588クロックとなっている。また、図5(e)の数値は、説明上フレーム1番目からの順番に番号で示した、1フレームごとの論理アドレスとしてのフレーム順に対応するアドレス位置であり、説明上採用しているに過ぎない。この点は、以下の説明においても同じである。この発明の目的は、このような従来技術の問題点を解決するものであって、光ディスクの傷などにより同期信号が欠落した場合の内部同期信号による同期状態からその後に光ディスクから読出された外部同期信号に再同期を探るときに

発生する、記憶されるフレームデータの不連続性を抑制することができる光ディスク再生装置を提供することにある。

【0007】

【課題を解決するための手段】このような目的を達成するための光ディスク再生装置の特徴は、光ディスクからの読出信号から第1の同期信号を同期信号検出回路で検出しかつ読出信号を受けて復調回路で1フレーム分のデータを復調し、復調された1フレーム分のデータを第1の同期信号に同期させてメモリに順次記憶し、第1の同期信号が検出されないときには内部生成した第2の同期信号に同期させて復調された1フレーム分のデータをメモリに記憶し、読出信号から第1の同期信号が検出されたときにこの第1の同期信号に同期させてメモリに記憶する光ディスク再生装置において、第2の同期信号に同期させて復調された1フレーム分のデータをメモリに記憶する動作状態において読出信号から第1の同期信号が検出されたときにこの第1の同期信号が第2の同期信号の周期における前半側あるいは後半側にあるかを判定する判定回路を有し、この判定回路の判定結果に応じて前半側にあると判定されたときにメモリにおける1つ前のフレームデータの記憶位置に復調された1フレーム分のデータを記憶するものである。

【0008】

【発明の実施の形態】このように、再同期のときに検出される第1の同期信号(外部同期信号)が第2の同期信号(内部同期信号)の周期における前半側にあるか、あるいは後半側にあるかを判定する判定回路を設けることで、第1の同期信号が前半に発生しているときには、内部同期の第2の同期信号が第1の同期信号に対して進んでいるので、メモリ上の1つ前の1フレームの記憶位置に復調された1フレーム分のデータを記憶する。このようにすれば、1フレーム分の復調データがメモリ上の正しい位置に記憶される。逆に、第1の同期信号が第2の同期信号の周期における後半に発生しているときには、内部同期の第2の同期信号が第1の同期信号に対して遅れているので、再同期の第1の同期信号は、次の同期信号とみて、これに応じて通常どおりメモリ上の次の1フレームの記憶位置に記憶すればよい。これにより再同期において1フレーム分の復調データがメモリ上の正しい位置に記憶される。

【0009】その結果、1フレーム分の復調データがメモリ上において正しい位置に順次記憶されるので、再生データの不連続性が回避される。なお、内部同期の第2の同期信号が第1の同期信号に対して遅れている後者の場合には、1フレーム分の復調データの一部が手前のフレームに記憶されないこともある。これについては、ECCエラー訂正回路があるので、再生においてはほとんど問題にならないが、このようなときには、再生系で動作するメモリの書込み速度とECCエラー訂正回路の処

理速度を上げればよい。それには、例えば、読出系の速いクロックで動作させることで対処することができる。

【0010】

【実施例】図1は、この発明の光ディスク再生装置を適用したCD再生装置のブロック図、図2は、その外部同期信号が内部同期信号に対して進んでいる場合の再同期のタイミングとフレーム記憶との関係についての説明図、図3は、その外部同期信号が内部同期信号に対して遅れている場合の再同期のタイミングとフレーム記憶との関係についての説明図である。なお、図4と同一の構成要素は、同一の符号で示し、その説明を割愛する。図1において、21は、CD再生装置であって、図2の内挿補完同期信号生成回路7に換えて内挿補完同期信号生成回路70が設けられ、同期信号選択回路8に換えて同期信号選択回路80と判定回路81、そしてクロック選択回路83とが設けられ、さらにアドレス生成書込回路9に換えてアドレス生成書込回路90が設けられている。

【0011】内挿補完同期信号生成回路70は、オアゲート71とクロック発生回路13からクロックCLKを受けてこのクロックCLKをカウントする588進カウンタ72とから構成されている。オアゲート71は、同期検出回路6から同期信号DSYNCを受け、さらに588進カウンタ72の出力端子O1から1フレーム分のカウント値である588カウントが終了したときの終了信号（カウントアップ信号）を受ける。そして、いずれかでの入力に応じて588進カウンタ72をリセットする。さらに、588進カウンタ72は、588カウントの半分の294カウント値の出力WF294を出力端子O2に発生する。なお、WF294は、0カウントから294カウントまでHIGHレベル（以下“H”）となる信号である。

【0012】同期信号選択回路80は、同期検出回路6から同期信号DSYNCを受けてこれがあるときには同期信号DSYNCを同期信号RSYNCとして出力する。また、同期信号DSYNCを受けないときには同期信号ISYNCを選択して同期信号RSYNCとして出力する。さらに、この同期信号選択回路80は、同期信号ISYNC側に選択を切換えているときには起動信号Aをフレーム数判定回路81に送出する。フレーム数判定回路81は、この起動信号Aを受けて起動され、588進カウンタ72から294カウント値の出力WF294と同期検出回路6から再同期の同期信号DSYNCとを受けて同期信号DSYNCが同期信号ISYNCの1フレームの周期においてその前半に発生しているか否かを判定する。そして前半に発生しているときには判定結果信号Jをアドレス生成書込回路90に送出する。

【0013】同期検出回路6により再同期の同期信号DSYNCが検出されたときには、これを受けて同期信号選択回路80は、再同期の同期信号DSYNC側に切換わり、同

期信号DSYNCを選択した後に、フレーム数判定回路81に対する起動信号Aを停止する。これによりフレーム数判定回路81が動作を停止する。なお、フレーム数判定回路81の動作停止は、判定結果信号Jの発生後にタイミング調整されている。ところで、以上の同期検出回路6、同期信号選択回路80、フレーム数判定回路81、そしてEFM復調回路5等の各回路の動作のタイミングとそれぞれの出力信号の調整は、遅延回路等を挿入して行うことになるが、これらは各設計事項であるのでここでは割愛する。

【0014】アドレス生成書込回路90は、クロック発生回路13のクロックCLKを受け、さらにフレーム数判定回路81から判定結果信号Jを受ける。そして、判定結果信号Jを受けたときには、SRAM10のアドレス値を更新することなく、同期信号DSYNCに応じてSRAM10に1フレーム分のデータを記憶する。これにより再同期状態に入ったときのEFMデータは、1つ前のフレーム位置に上書き記憶され、正しいフレーム数でSRAM10に記憶される。その状態について図2で説明すると、先に図5で説明したように、図2(a)に示す同期信号DSYNCがあるときには、同期信号選択回路80は、同期信号DSYNCに対応して同期信号RSYNCを発生し、同期信号DSYNCがないときには、図2(b)に示す同期信号ISYNCに対応して同期信号RSYNCを発生する。この同期信号ISYNCの同期信号で補完同期がなされているときには、図2(c)に示す588進カウンタ72の294カウント値の出力端子O2の出力WF294が有効となる。そして、再同期の同期信号DSYNCが発生したときに出力WF294の“H”レベルにあれば、フレーム数判定回路81が図2(d)に示す判定結果出力Jを出力する。

【0015】これによりアドレス生成書込回路90は、図2(f)に示すように、前のフレーム数のアドレス（数値はフレーム数に対応する論理アドレスとして示してある）を更新することなく、フレーム数5に対応してSRAM10のフレーム数5のアドレスに1フレーム分のデータを記憶する処理をする。なお、図5(e)は、588進カウンタ72の各フレームにおけるクロックCLKのカウント値である。その結果として、5フレーム目のデータがSRAM10の本来の位置に記憶され、フレーム4からフレーム6が実質的に連続的に記憶されることになる。なお、このとき、再同期の同期信号DSYNCの発生タイミングが出力WF294のLOWレベル（以下“L”）のときであれば、フレーム数判定回路81は、判定結果出力Jを出力しない。この場合には、アドレス生成書込回路90は通常の動作となり、再同期の同期信号DSYNCは、次のフレームに対応するものである。同期信号DSYNCに応じてSRAM10のアドレス（1フレームに対応するアドレス）が更新されて記憶すべきEFMデータは、そのまま正しい位置に記憶され

る。すなわち、同期信号DSYNCが同期信号ISYNCの周期における後半に発生しているときには、内部同期の同期信号ISYNCが同期信号DSYNCに対して遅れているので、再同期の同期信号DSYNCは、次の同期信号とみて、これに応じて通常どおりSRAM10上の次のアドレス（1フレームに対応するアドレス）に1フレームのデータが記憶される。これにより再同期において1フレーム分の復調データがSRAM10上の正しい位置に記憶されることになる。

【0016】このように、再同期のときに発生する同期信号DSYNCが内部の同期信号ISYNCの周期における前半側にあるか否かをフレーム数判定回路81で判定することで、同期信号DSYNCが前半に発生しているときには、内部同期の同期信号ISYNCが同期信号DSYNCに対して進んでいるので、アドレス生成書込回路90のアドレス値（フレームに対応するアドレス）を更新しないようにして、SRAM10の記憶アドレスを1つ前の1フレームの記憶位置に設定してSRAM10にデータを記憶するようにする。これにより、1フレーム分のEFM復調データがSRAM10上の正しい位置に順次記憶される。その結果、1フレーム分の復調データがSRAM10上において正しい位置に記憶され、再生データの不連続性が回避される。なお、内部同期の同期信号ISYNCが同期信号DSYNCに対して遅れている場合には、1フレーム分の復調データの一部分が手前のフレームに記憶されないこともある。しかし、ECCエラー訂正回路11があるので、再生においてはほとんど問題にならないが、内部同期の同期信号ISYNCが同期信号DSYNCに対して遅れている場合の対策について以下説明する。なお、この場合には、同期信号DSYNCがCD1の回転変動により内部同期の同期信号ISYNCに対して進んでいると考えるべきであるので、以下ではこの観点から説明する。

【0017】さて、CDのデータ読出系が4.3218MHzで行われ、588クロックであるが、通常、再生系のクロックは、44.1kHzのサンプリング周波数のために、4.2336MHzである。そこで、クロック発生回路14により再生系は576クロックで再生が行われる。読出系と再生系との間には12クロック分の余裕がある。この12クロック分の時間は、再生系において処理を休止している。また、SRAM10には、入力され書込まれる復調データに対しては、ジッタの影響を排除するために±4フレーム分のバッファ領域が設けられている。ここでは、このような読出系と再生系のシステムの相違を利用して同期信号DSYNCが内部同期の同期信号ISYNCに対して進んでいる場合の対策を採る。それは、クロック選択回路82がクロック発生回路13のクロック588側のクロックCLKを選択することで行われる。

【0018】クロック選択回路82は、同期信号選択回路80からフレーム数判定回路81に送出される起動信

号Aとフレーム数判定回路81の判定結果信号J、さらに読出系のクロック発生回路13からのクロックCLK（588クロック）とクロック発生回路14からのクロックCK（576クロック）とを受けてSRAM10、ECCエラー訂正回路11、そしてデータ読出出力回路12にクロックCLKか、クロックCKか、のいずれかを選択して出力する。通常は、図4の従来技術で示したように、クロック発生回路14のクロックCKが選択されている。そして、起動信号Aを受けているときにフレーム数判定回路81の判定結果信号Jを受けなかったときに、読出系のクロック発生回路13のクロックCLK（588クロック）を選択してSRAM10、ECCエラー訂正回路11、そしてデータ読出出力回路12に送出する。

【0019】これにより、SRAM10、ECCエラー訂正回路11、そしてデータ読出出力回路12の再生系は、クロック588で動作して通常より速い処理を行う。この場合、1フレームごとに12クロックの余裕があるので、読出クロックが通常で+20%程度変動して同期信号の位相が進んでいても1.7フレーム分程度で遅れを取り戻すことができる。もちろん、+50%の最大変動時であっても $576 \div 12 = 48$ により48フレーム程度であれば、遅れを取り戻すことができる。そこで、前記のクロック選択回路82のクロックCLKの選択期間を48フレームか、これ以上に設定することで十分に補正が可能になる。したがって、クロック選択回路82は、この48フレームに相当する期間の後にその選択をクロックCK側に戻し、通常の再生系の動作のクロックCKを出力する。

【0020】ところで、CDの再生では通常CLV（コンスタント・ライン・ベロシティ）で再生で行うが、例えば、音飛び防止などで行われるCAV（コンスタント・アンギュラー・ベロシティ）モードでの再生のときには、読出クロックが±20程度で変化し、最大では±50%程度まで及ぶ。そこでこの場合、再生系もこの読出クロックを利用して動作することになる。このCAVモードを持つCD再生装置の場合には、ジッター防止のためにまた、音飛び防止等のために大きなバッファが用意されている。そこで、同期信号DSYNCが内部同期の同期信号ISYNCに対して進んでいる場合の前記の対策として、このクロック588とバッファを利用することができる。すなわち、選択回路82がクロックCLKを選択して出力しているときには、EFM復調回路5で復調されたEFMデータを同期信号とともにCAVモードで使用されるバッファ（図示せず）に一定時間、例えば、48フレーム分を記憶し、再生処理をする。その後、再生系のクロック576に戻り、通常処理をすることができる。図3は、外部同期の同期信号DSYNCが内部同期の同期信号ISYNCに対して遅れている場合の再同期のタイミングとフレーム記憶との関係についての説

明図である。図3(a)～(e)は、図5の場合に対応して、(a)は同期信号DSYNC、(b)は同期信号ISYNC、(c)は同期信号RSYNC、(d)はクロックCLKのカウント値、(e)は、SRAM10の記憶フレーム数に対応するアドレス(論理アドレス)である。図(e)では、フレーム数5以降の処理期間が短くなっている。

【0021】以上説明してきたが、実施例では、フレーム数判定回路81は、再同期の同期信号DSYNCが内部同期信号ISYNCの1フレームの周期においてその前半に発生しているか否かを判定しているが、これは、内部同期信号の後半に発生しているか否かを判定するものであってもよい。この場合には、判定結果信号に対する動作が実施例とは逆となり、後半の判定結果信号を受けているときにはSRAMのアドレスを更新し、そうでないときにアドレスを更新しないようにして1つ前のフレームにして1フレーム分のデータをSRAMに書き込むことになる。また、復調された1フレームデータを記憶するメモリは、実施例ではSRAMであるが、これに限定されるものではなく、メモリー般であってよい。

【0022】

【発明の効果】この発明にあっては、再同期のときに検出される第1の同期信号(外部同期信号)が第2の同期信号(内部同期信号)の周期における前半側にあるか、あるいは後半側にあるかを判定する判定回路を設けることで、第1の同期信号が前半に発生しているときには、内部同期の第2の同期信号が第1の同期信号に対して進んでいるので、メモリ上の1つ前の1フレームの記憶位置に復調された1フレーム分のデータを記憶する。このようにすれば、1フレーム分の復調データがメモリ上の正しい位置に記憶される。逆に、第1の同期信号が第2の同期信号の周期における後半に発生しているときに

は、内部同期の第2の同期信号が第1の同期信号に対して遅れているので、再同期の第1の同期信号は、次の同期信号とみて、これに応じて通常どおりメモリ上の次の1フレームの記憶位置に記憶すればよい。これにより再同期において1フレーム分の復調データがメモリ上の正しい位置に記憶される。その結果、1フレーム分の復調データがメモリ上において正しい位置に順次記憶されるので、再生データの不連続性が回避される。

【図面の簡単な説明】

10 【図1】図1は、この発明の光ディスク再生装置を適用したCD再生装置のブロック図である。

【図2】図2は、その外部同期信号が内部同期信号に対して進んでいる場合の再同期のタイミングとフレーム記憶との関係についての説明図である。

【図3】図3は、その外部同期信号が内部同期信号に対して遅れている場合の再同期のタイミングとフレーム記憶との関係についての説明図である。

【図4】図4は、一般的なCD再生装置の内部構成のブロック図である。

20 【図5】図5は、同期信号選択回路の同期信号の発生とSRAMの1フレームのデータ記憶タイミングの説明図である。

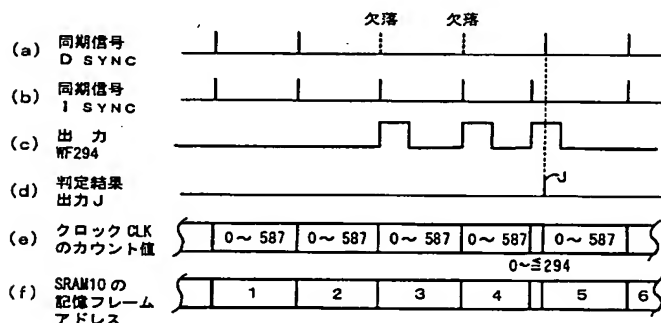
【符号の説明】

1…CD、2…回転駆動機構、3…ピックアップ(4分割フォトディテクタ)

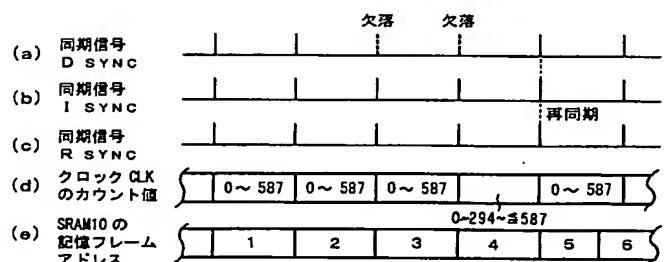
4…RF増幅器、5…EFM復調回路、6…同期信号検出回路、7…内挿補完同期信号生成回路、8、80…同期信号選択回路、9…アドレス生成書込回路、10…SRAM、11…ECCエラー訂正回路、12…データ読出力回路、13…クロック発生回路、20、21…CD再生装置、71…オアゲート、72…588進カウンタ、81…フレーム数判定回路。

30

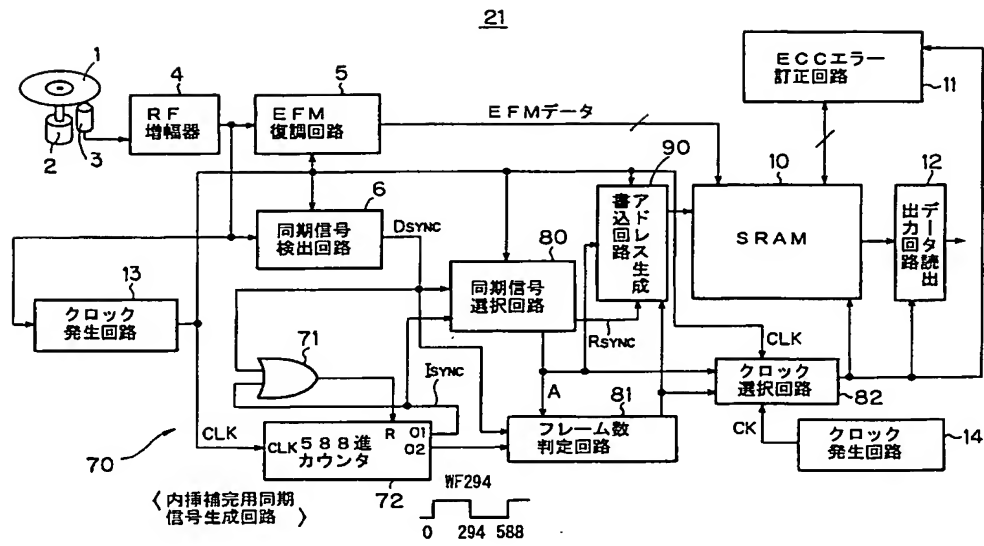
【図2】



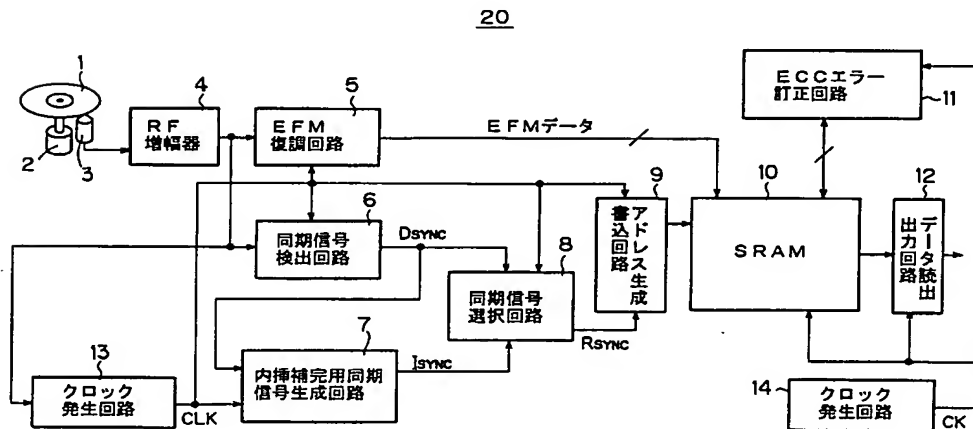
【図3】



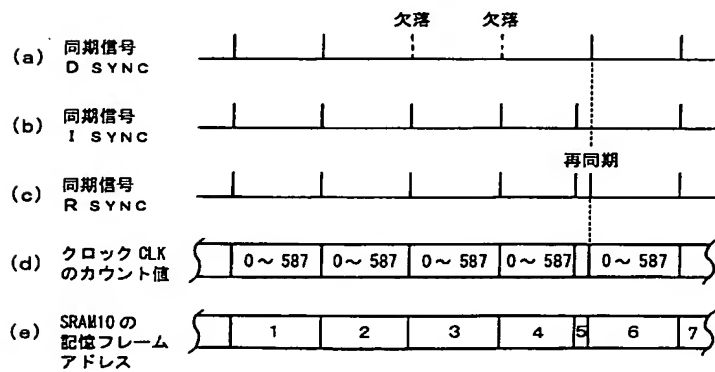
【図1】



【図4】



【図5】



フロントページの続き

F ターム(参考) 5D044 AB07 BC03 FG10 FG16 FG21
GM19 GM27
5D090 AA01 BB02 CC04 DD03 DD05
FF07 FF30 FF37 FF38